



# KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020010037795

(43) Publication.Date. 20010515

(21) Application No.1019990045494

(22) Application Date. 19991020

(51) IPC Code:

H01L 27/02

(71) Applicant:

SAMSUNG ELECTRONICS CO., LTD.

(72) Inventor:

KO, JANG MAN

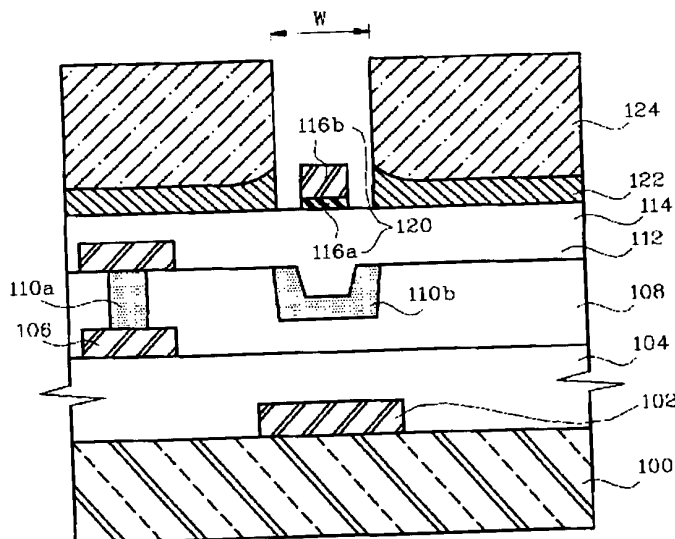
(30) Priority:

(54) Title of Invention

SEMICONDUCTOR DEVICE HAVING FUSE AND MANUFACTURING METHOD THEREOF

Representative drawing

(57) Abstract:



PURPOSE: A semiconductor device and its manufacturing method are to accomplish high integration of the semiconductor device by arranging a thermal breaking film on a bottom surface of a fuse metal film in a self-aligned manner.

CONSTITUTION: A fuse pattern(120) of a fuse metal film(116a)/a metal film for wiring (116b) stacking structure is arranged on an insulating substrate to be electrically connected to a topmost metal interconnect. A part of the pattern to be used as a fuse of the fuse pattern is opened through a fuse window(W) with a fuse metal film fault structure. Under the fuse metal film, a thermal breaking film(110b) having a size larger than the fuse window is provided through the third interlayer dielectric(114). The first metal wiring(102) is formed on a lower end of the thermal breaking film through the first interlayer dielectric(104) and the second interlayer dielectric(108). The fuse metal film is formed with one of the structure consisting of a Ti or TiN structure, a stacked structure of its

combination and a stacked structure of Ti/W. The thermal breaking film is formed of W or Cu.

# (19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup> (11) 공개번호 10-2001-0037795  
H01L 27/02 (43) 공개일자 2001년05월 15일

(21) 출원번호 10-1999-0045494  
(22) 출원일자 1999년10월20일  
(71) 출원인 삼성전자 주식회사  
경기 수원시 팔달구 매탄3동 416  
(72) 발명자 고장만  
경기도수원시권선구금곡동79삼익3차304-601  
(74) 대리인 김능균

심사청구 : 있음

## (54) 퓨즈를 갖는 반도체 소자 및 그 제조방법

### 요약

금속배선 상단에서도 퓨즈 형성이 가능하도록 하여 반도체 소자의 고집적화를 이룰 수 있도록 한 퓨즈를 갖는 반도체 소자 및 그 제조방법이 개시된다.

이를 구현하기 위하여 본 발명에서는, 최상층의 금속배선과 전기적으로 연결되도록 절연기판 상에 "퓨즈 금속막/배선용 금속막" 적층 구조의 퓨즈 패턴이 배치되고, 상기 퓨즈 패턴 중에서 퓨즈로 사용되어질 부분은 퓨즈 금속막 단층 구조를 가진채로 퓨즈 창을 통해 오픈되도록 설계된 반도체 소자에 있어서, 상기 퓨즈 창을 통해 오픈된 퓨즈 금속막 하단에는 절연막을 개재하여 상기 퓨즈 창보다 큰 사이즈의 열차 단막이 더 구비되고, 상기 열차단막 하단에는 절연막을 개재하여 임의의 금속배선이 형성되어 있는 구조를 갖는 반도체 소자가 제공된다. 이때, 상기 열차단막은 다층 금속배선 형성 과정에서 자기정합적으로 형성된다.

그 결과, 레이아웃 배치 상의 제약이나 별도의 공정 추가없이도 퓨즈 금속막을 금속배선 상단에 형성할 수 있게 되므로, 공정 단가 상승없이도 반도체 소자의 고집적화를 이룰 수 있게 된다.

### 대표도

도5f

### 명세서

#### 도면의 간단한 설명

도 1은 종래 사용되어 오던 퓨즈가 구비된 반도체 소자의 평면 구조를 도시한 레이아웃도,  
도 2는 도 1의 A-A' 절단면 구조를 도시한 단면도,  
도 3은 본 발명에서 제안된 퓨즈가 구비된 반도체 소자의 평면 구조를 도시한 레이아웃도,  
도 4는 도 3의 A-A' 절단면 구조를 도시한 단면도,  
도 5a 내지 도 5f는 도 4에 제시된 소자 제조방법을 도시한 공정수순도이다.

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 다층 배선이 구비된 반도체 소자 및 그 제조방법에 관한 것으로, 특히 금속배선 상단에서도 퓨즈 형성이 가능하도록 하여 반도체 소자의 소자의 고집적화를 이룰 수 있도록 한 퓨즈를 갖는 반도체 소자 및 그 제조방법에 관한 것이다.

반도체 복합 소자 및 메모리 소자 제조시 수많은 미세 셀 중에서 한 개라도 결함이 있으면 메모리로서의 제구실을 하지 못하므로 불량품으로 처리된다. 그러나 메모리 내의 일부 셀에만 결함이 발생하였는데도 불구하고 소자 전체를 불량품으로 폐기하는 것은 수율(양품 획득률: yield)을 낮추는 비효율적인 처리방법이다.

따라서, 현재는 메모리 내에 미리 설치해둔 예비 메모리 셀(일명, 용장형 셀(redundancy cell)이라 한다)을 이용하여 불량 셀을 대체함으로써, 전체 메모리를 되살려 주는 방식으로 수율 향상을 이루고 있다.

용장형 셀을 이용한 리페어 작업은 통상, 일정 셀 어레이(cell array)마다 스페어 로우(spare row)와 스페어 칼럼(spare column)을 미리 설치해 두어 결함이 발생된 불량 메모리 셀을 로우/칼럼 단위로 스페어 메모리 셀로 치환해 주는 방식으로 진행되는데, 이를 구체적으로 기술하면 다음과 같다.

즉, 웨이퍼 가공 완료후 테스트를 통해 불량 메모리 셀을 골라내면 그에 해당하는 어드레스(address)를 스페어 셀의 어드레스 신호로 바꾸어 주는 프로그램을 내부회로에 행하게 된다. 따라서, 실제 사용시에 불량 라인에 해당하는 어드레스 신호가 입력되면 이 대신 예비 라인으로 선택이 바뀌게 되는 것이다. 이 프로그램 방식 중의 하나가 바로 레이저 빔으로 퓨즈를 태워 끊어버리는 방식인데, 퓨즈 재료로는 주로, 금속막이 이용되고 있다.

통상의 경우, 가장 상층부의 금속배선이 퓨즈로 사용되고 있는데, 도 1에는 퓨즈가 구비된 종래의 반도체 소자 구조를 도시한 레이아웃도가 제시되어 있다. 도 2는 도 1의 A-A' 절단면 구조를 도시한 단면도를 나타낸다. 여기서는 편의상, 4층 금속배선이 구비된 반도체 소자를 일 예로 들어 제시해 놓았다.

도 1 및 도 2에 의하면, 종래의 반도체 소자는 최상층의 금속배선(26)과 일체로 연결되도록 절연기판(24) 상에 "퓨즈 금속막/배선용 금속막" 적층 구조의 퓨즈 패턴(28)이 배치되고, 상기 퓨즈 패턴(28) 중에서 퓨즈(1)로 사용되어질 부분은 퓨즈 금속막(28a)의 단층 구조를 가진채로 퓨즈 창(fuse window)(W)을 통해 오픈(open)되도록 소자 구성이 이루어져 있음을 알 수 있다.

이때, 상기 절연기판(24)은 복수층의 금속배선이 구비되어 있는 반도체 기판(10)을 일컫는 것으로, 복수층의 금속배선이란 제 1 금속배선(12)에서부터 최종 금속배선(26)인 제 4 금속배선 바로 이전까지의 금속배선(제 2 및 제 3 금속배선(16), (22))을 총 망라해서 칭한다.

그리고, 퓨즈 패턴(28)은 통상 금속배선(12), (16), (22)이 놓여져 있는 부분을 피하여 형성되고 있으므로, 퓨즈 금속막(28a)의 하단에는 층간 절연막(14), (18), (24)만이 놓여지게 된다. 여기서, 미 설명 참조번호 20은 제 2, 제 3 금속배선(16), (22) 간을 전기적으로 연결하는 도전성 플러그를 나타내고, 참조번호 28과 30은 보호막을 나타낸다.

이와 같이 퓨즈를 형성한 것은 소자의 집적도를 높일 목적으로 퓨즈 금속막(28a)을 금속배선(12), (16), (24) 상단의 절연기판 위에 형성할 경우, 레이저 빔을 이용한 커팅(cutting) 작업시 그 하단에 놓여진 금속배선에 열적 손상(damage)이 가해지게 되어 하부 금속배선의 신뢰도에 영향을 미칠 수 있기 때문이다.

그러나, 이와 같이 퓨즈를 형성할 경우에는 반도체 소자 설계시 퓨즈 패턴(28)으로 인해 레이아웃 배치에 제약이 따르게 될 뿐 아니라 이로 인해 소자의 집적도가 저하되는 결과가 초래되어져, 반도체 제품的高집적화 측면에서 불리한 위치를 점하게 되는 또 다른 문제가 야기되므로, 이에 대한 개선책이 시급하게 요구되고 있다.

#### 발명이 이루고자하는 기술적 과제

이에 본 발명의 목적은, 퓨즈 창을 통해 오픈되어진 퓨즈 금속막 하단에 상기 퓨즈 창보다 큰 사이즈의 열차단막이 더 구비되도록 반도체 소자의 레이아웃 구조를 변경해 주므로써, 레이저 빔을 이용한 퓨즈 커팅 작업시 퓨즈 금속막 하단에 금속배선이 놓여지더라도 상기 배선에 열적 손상이 가해지지 않도록 하여 금속배선의 상단에서도 퓨즈 형성이 가능하도록 하고, 반도체 소자의 고집적화 또한 꾀할 수 있도록 한 퓨즈를 갖는 반도체 소자를 제공함에 있다.

본 발명의 다른 목적은, 상기 열차단막을 별도의 공정 추가 없이 배선 형성 과정에서 자기정합적으로 형성할 수 있도록 한 퓨즈를 갖는 반도체 소자 제조방법을 제공함에 있다.

#### 발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명에서는, 최상층의 금속배선과 전기적으로 연결되도록 절연기판 상에 "퓨즈 금속막/배선용 금속막" 적층 구조의 퓨즈 패턴이 배치되고, 상기 퓨즈 패턴 중에서 퓨즈로 사용되어질 부분은 퓨즈 금속막 단층 구조를 가진채로 퓨즈 창을 통해 오픈되도록 설계된 반도체 소자에 있어서, 상기 퓨즈 창을 통해 오픈된 상기 퓨즈 금속막 하단에는 절연막을 개재하여 상기 퓨즈 창보다 큰 사이즈의 열차단막이 더 구비되고, 상기 열차단막 하단에는 절연막을 개재하여 임의의 금속배선이 배치되어 있는 것을 특징으로 하는 퓨즈를 갖는 반도체 소자가 제공된다.

상기 다른 목적을 달성하기 위하여 본 발명에서는, 제 1 금속배선이 구비된 반도체 기판 상에 제 1 층간 절연막을 형성하는 단계와; 상기 제 1 층간 절연막 상에 제 2 금속배선을 형성하는 단계와; 상기 제 2 금속배선을 포함한 상기 제 1 층간 절연막 상에 제 2 층간 절연막을 형성하는 단계와; 상기 제 2 층간 절연막 내의 제 1 영역(배선 형성부)과 제 2 영역(퓨즈 창이 정의될 부분)을 소정 두께 선택식각하여, 상기 절연막 내에 상기 제 2 금속배선의 표면을 노출시키는 비어 출과 요철부를 형성하는 단계와; 상기 비어 출과 상기 요철부 내에 금속을 매립하여 상기 비어 출 내에는 도전성 플러그를 형성하고, 상기 요

출부 내에는 열차단막을 형성하는 단계와; 상기 제 2 층간 절연막 상에 상기 도전성 플러그와 연결되는 제 3 금속배선을 형성하는 단계와; 상기 제 3 금속배선과 상기 열차단막을 포함한 상기 제 2 층간 절연막 상에 제 3 층간 절연막을 형성하는 단계와; 상기 제 3 층간 절연막 상에 상기 열차단막을 가로지르는 "퓨즈 금속막/배선용 금속막" 적층 구조의 퓨즈 패턴과 상기 퓨즈 패턴의 일측 끝단부에 연결되는 제 4 금속배선을 동시에 형성하는 단계와; 상기 결과물 전면에 제 1 보호막을 형성하는 단계와; 상기 열차단막 상측에 놓여진 상기 퓨즈 패턴과 그 주변의 상기 제 3 층간 절연막 표면이 소정 부분 함께 오픈되도록 상기 결과물 상에 노출된 상기 퓨즈 패턴을 선택식각하여, 퓨즈 창을 형성하는 단계와; 상기 퓨즈 창을 통해 노출된 상기 퓨즈 패턴 중, 상기 배선용 금속막을 식각하여 상기 퓨즈 창 내에 퓨즈 금속막만을 남기는 단계; 및 상기 결과물 전면에 제 2 보호막을 형성하는 단계로 이루어진 퓨즈를 갖는 반도체 소자 제조방법이 제공된다.

이때, 상기 퓨즈 금속막은 Ti, TiN의 단층 구조나 이들이 조합된 적층 구조 혹은 Ti/W의 적층 구조중 선택된 어느 하나로 형성되며, 상기 열차단막은 W이나 Cu로 형성된다. 그리고, 상기 열차단막은 상기 퓨즈층보다 큰 사이즈를 가지도록 형성된다.

상기 구조를 가지도록 반도체 소자를 제조할 경우, 퓨즈 금속막 하단에 퓨즈 창보다 다소 큰 사이즈의 열차단막이 놓여지게 되므로, 레이저 빔을 이용한 퓨즈 커팅 작업시 상기 퓨즈 금속막 하단에 금속배선 이 놓여지더라도 상기 배선에 열적 손상이 가해지지 않게 된다. 이로 인해, 금속배선 상단에서도 퓨즈 형성이 가능하게 되므로 소자 제조시 레이아웃 배치 상의 제약없이도 소자 설계가 가능하게 된다. 또 한, 상기 열차단막이 배선 형성 과정에서 자기 정합적으로 형성되므로 소자 제조시 별도의 공정 추가가 요구되지 않는다는 잇점을 갖는다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대해 상세히 설명한다.

도 3은 본 발명에서 제안된 퓨즈가 구비된 반도체 소자의 평면 구조를 도시한 레이아웃도를 나타내고, 도 4는 도 3의 A-A' 절단면 구조를 도시한 단면도를 나타낸다. 이를 참조하여 본 발명에서 제안된 반도체 소자의 구조를 살펴보면 다음과 같다. 이 경우 역시, 4층 금속배선이 구비된 반도체 소자를 일 예로 들어 설명한다.

도 3 및 도 4에 의하면, 본 발명에서 제안된 반도체 소자는 최상층 금속배선(118)인 제 4 금속배선과 일체로 연결되도록 절연기판(114) 상에는 "퓨즈 금속막(116a)/배선용 금속막(116b)" 적층 구조의 퓨즈 패턴(120)이 형성되고, 상기 퓨즈 패턴(120) 중에서 퓨즈(1)로 사용되어질 부분은 퓨즈 금속막(116a)의 단층 구조를 가진채로 퓨즈 창(W)을 통해 오픈되며, 상기 퓨즈 창(W)을 통해 오픈되어진 퓨즈 금속막(116a)의 하단에는 제 3 층간 절연막(114)을 개재하여 상기 퓨즈 창(W)보다 큰 사이즈의 열차단막(110b)이 형성되고, 상기 열차단막(110b)의 하단에는 제 2 절연막(108)과 제 1 절연막(104)을 열차단막(110b)이 형성되고, 제 2 절연막(108)이 형성되도록 소자 구성이 이루어져 있음을 알 수 있다. 여기서, 미 설명 개재하여 제 1 금속배선(102)이 형성되도록 소자 구성이 이루어져 있음을 알 수 있다. 여기서, 미 설명 참조번호 110a는 제 2, 제 3 금속배선(106), (112) 간을 전기적으로 연결하는 도전성 플러그를 나타내, 상기 퓨즈 금속막(116a)은 Ti, TiN의 단층 구조나 이들이 조합된 적층 구조 혹은 Ti/W의 적층 구조를 가지도록 구성되며, 상기 열차단막(110b)은 W이나 Cu 재질로 구성된다.

따라서, 상기 구조의 반도체 소자는 도 5a 내지 도 5f에 제시된 공정수순도에서 알 수 있듯이 다음의 공정 단계를 거쳐 제조된다. 여기서, 도 5a 내지 도 5f는 도 3의 A-A' 절단면 제조방법을 도시한 공정수순도를 나타낸다.

도 5a에 도시된 바와 같이, 제 1 금속배선(102)이 구비된 반도체 기판(100) 상에 제 1 층간 절연막(104)을 형성하고, 상기 절연막(104) 상에 제 2 금속배선(106)을 형성한 다음, 상기 제 1 금속배선(106)을 포함한 제 1 층간 절연막(104) 상에 제 2 층간 절연막(108)을 형성한다. 이때, 상기 제 1 및 제 2 금속배선(102), (106)은 Al 합금이나 Cu 합금 재질로 형성된다. 이어, 제 2 층간 절연막(108)의 제 1 영역(배선 형성부)과 제 2 영역(퓨즈 창이 정의될 부분)을 소정 두께 선택식각하여, 상기 절연막(108) 내에 제 2 금속배선(106)의 표면을 소정 부분 노출시키는 비어 홀(h)과 요홈(g)을 각각 형성한다. 이때, 상기 요홈부(g)는 이후의 형성될 퓨즈 창(W)의 실제 사이즈보다 다소 크게 형성된다.

도 5b에 도시된 바와 같이, 상기 비어 홀(h)과 요홈부(g) 내부가 충분히 채워지도록 제 2 층간 절연막(108) 상에  $\text{W}$ 이나  $\text{Cu}$  재질의 금속막을 형성하고, 이를 CMP 혹은 에치백처리한다. 그 결과, 비어 홀(h) 내에는 상·하부 금속배선(예컨대, 제 1 금속배선과 제 2 금속배선) 간을 전기적으로 연결하기 위한 도전성 플러그(110a)가 형성되고, 요홈부(g) 내에는 열차단막(110b)이 형성된다. 이때, 열차단막(110b)은 레이저 빔을 이용한 퓨즈 커링 작업시 발생하는 열로부터 하부 금속배선을 보호하는 역할을 한다.

도 5c에 도시된 바와 같이, 상기 제 2 층간 절연막(108) 상에 도전성 플러그(110a)와 연결되는 구조의 제 3 금속배선(112)을 형성하고, 그 전면에 제 3 층간 절연막(114)을 형성한다. 이때, 제 3 금속배선(112)은 Al 합금이나 Cu 합금으로 형성된다.

도 5d에 도시된 바와 같이, 상기 제 3 층간 절연막(114) 상에 퓨즈 금속막(116a)과 배선용 금속막(116b)을 순차적으로 형성한다. 상기 퓨즈 금속막(116a)으로는 Ti, TiN의 단층 구조나 이들이 조합된 적층 구조 혹은 Ti/W의 적층 구조가 사용되고, 배선용 금속막(116b)으로는 Al 합금이나 Cu 합금이 사용된다.

도 5e에 도시된 바와 같이, 상기 제 3 층간 절연막(114)의 표면이 소정 부분 노출되도록, 배선용 금속막(116b)과 퓨즈 금속막(116a)을 선택식각하여 "퓨즈 금속막(116a)/배선용 금속막(116b)" 적층 구조의 퓨즈 패턴(120)과 이와 동일 막질 구성의 최종 금속배선(118)(예컨대, 제 4 금속배선)을 동시에 형성한다. 이때, 상기 퓨즈 패턴(120)은 제 3 층간 절연막(114) 상에서 열차단막(110b)을 가지리지는 방향의 길게 연장된 구조를 가지도록 형성되며, 제 4 금속배선 라인은 상기 퓨즈 패턴(120)의 일측 단부를 통해 일체로 연결되도록 형성된다. 이어, 퓨즈 패턴(120)과 제 4 금속배선을 포함한 제 3 층간 절연막(114) 상에 제 1 보호막(122)을 형성하고, 상기 보호막(122) 상에 패드 층 형성부(도 3에서 W로

표시된 부분)를 한정하는 마스크 패턴(124)을 형성한다. 제 1 보호막(122)으로는 주로, HDP OXIDE, PE-OXIDE, PE-TEOS 등과 같은 산화막 계열의 막질이 이용된다. 그후, 상기 마스크 패턴(124)에 의해 보호되지 못한 부분의 제 1 보호막(122)을 선택식각하여 퓨즈 창(W)을 형성한다. 그 결과, 퓨즈 창(W)을 통해 퓨즈 패턴(120)을 포함한 제 3 층간 절연막(114)의 표면이 일부 함께 노출되게 된다.

도 5f에 도시된 바와 같이, 상기 마스크 패턴(124)을 제거하고, 퓨즈 창(W)을 통해 노출되어진 퓨즈 패턴(120) 중에서 상층부에 놓여진 배선용 금속막(116b)을 제거하여 퓨즈 금속막(116a)의 표면을 오픈시킨 다음, 상기 결과물 전면에 SiN이나 Polyimide 재질의 제 2 보호막(126)을 형성해 주므로써, 본 공정 진행을 완료한다. 퓨즈 금속막(116a)의 표면 노출부가 바로 도 3의 1로 표기된 퓨즈로 사용되는 부분이다.

이와 같이 반도체 소자를 제조할 경우, 퓨즈(1) 하단에 퓨즈 창(W)보다 큰 사이즈의 열차단막(110b)이 놓여지게 되므로, 레이저 빔을 이용한 커팅 작업시 퓨즈 금속막(116a) 하단에 금속배선(예컨대, 제 1 금속배선)이 놓여지더라도 상기 배선에 열적 손상이 가해지는 현상이 발생하지 않게 된다. 그 결과, 금속배선 상단에서도 퓨즈를 형성할 수 있게 되어 레이아웃 배치 상의 제약없이도 소자 설계가 가능하게 되므로, 반도체 소자의 고집적화를 이룰 수 있게 된다.

또한, 상기 열차단막(110b)이 금속배선 간을 연결하기 위한 도전성 플러그를 형성하는 과정에서 자기정합적으로 형성되므로, 소자 제조시 별도의 공정 추가가 요구되지 않아 경제적인 측면에서도 유리한 위치를 점할 수 있게 된다.

이상, 실시예를 통하여 본 발명을 구체적으로 설명하였지만, 본 발명은 이에 한정되는 것이 아니고, 본 발명의 기술적 사상내에서 당 분야의 통상의 지식으로 그 변형이나 개량이 가능함은 물론이다.

### 발명의 효과

이상에서 살펴본 바와 같이 본 발명에 의하면, 퓨즈 창을 통해 노출되어진 퓨즈 금속막 하단에 상기 퓨즈 창보다 큰 사이즈의 열차단막이 더 구비되도록 반도체 소자의 레이아웃 구조를 변경하되, 상기 열차단막이 배선 형성 과정에서 자기정합적으로 형성되도록 하므로써, 레이아웃 배치 상의 제약이나 별도의 공정 추가없이도 퓨즈 금속막을 금속배선 상단에 형성할 수 있게 되므로, 별도의 공정 추가없이도 반도체 소자의 고집적화를 이룰 수 있게 된다.

### (57) 청구의 범위

#### 청구항 1

최상층의 금속배선과 전기적으로 연결되도록 절연기판 상에 "퓨즈 금속막/배선용 금속막" 적층 구조의 퓨즈 패턴이 배치되고, 상기 퓨즈 패턴 중에서 퓨즈로 사용되어질 부분은 퓨즈 금속막 단층 구조를 가진 채로 퓨즈 창을 통해 오픈되도록 설계된 반도체 소자에 있어서,

상기 퓨즈 창을 통해 오픈된 상기 퓨즈 금속막 하단에는 절연막을 개재하여 상기 퓨즈 창보다 큰 사이즈의 열차단막이 더 구비되고, 상기 열차단막 하단에는 절연막을 개재하여 임의의 금속배선이 배치되어 있는 것을 특징으로 하는 퓨즈를 갖는 반도체 소자.

#### 청구항 2

제 1항에 있어서, 상기 퓨즈 금속막은 Ti, TiN의 단층 구조나 이들이 조합된 적층 구조, Ti/W의 적층 구조중 선택된 어느 하나로 이루어진 것을 특징으로 하는 퓨즈를 갖는 반도체 소자.

### 청구항 3

제 1항에 있어서, 상기 열차단막은 W이나 Cu로 이루어진 것을 특징으로 하는 퓨즈를 갖는 반도체 소자.

### 청구항 4

제 1 금속배선이 구비된 절연기판 상에 제 1 층간 절연막을 형성하는 단계와;

상기 제 1 층간 절연막 상에 제 2 금속배선을 형성하는 단계와;

상기 제 2 금속배선을 포함한 상기 제 1 층간 절연막 상에 제 2 층간 절연막을 형성하는 단계와;

상기 제 2 층간 절연막 내의 제 1 영역(배선 형성부)과 제 2 영역(퓨즈 창이 정의될 부분)을 소정 두께 선택식각하여, 상기 절연막 내에 상기 제 2 금속배선의 표면을 노출시키는 비어 홀과 요홈부를 형성하는 단계와;

상기 비어 홀과 상기 요홈부 내에 금속을 매립하여 상기 비어 홀 내에는 도전성 플러그를 형성하고, 상기 요홈부 내에는 열차단막을 형성하는 단계와;

상기 제 2 층간 절연막 상에 상기 도전성 플러그와 연결되는 제 3 금속배선을 형성하는 단계와;

상기 제 3 금속배선과 상기 열차단막을 포함한 상기 제 2 층간 절연막 상에 제 3 층간 절연막을 형성하는 단계와;

상기 제 3 층간 절연막 상에 상기 열차단막을 가로지르는 "퓨즈 금속막/배선용 금속막" 적층 구조의 퓨즈 패턴과 상기 퓨즈 패턴의 일측 끝단부에 연결되는 제 4 금속배선을 동시에 형성하는 단계와;

상기 결과물 전면에 제 1 보호막을 형성하는 단계와;

상기 열차단막 상측에 놓여진 상기 퓨즈 패턴과 그 주변의 상기 제 3 층간 절연막 표면이 소정 부분 함께 오픈되도록 상기 제 1 보호막을 선택식각하여, 퓨즈 창을 형성하는 단계와;

상기 퓨즈 창을 통해 노출된 상기 퓨즈 패턴 중, 상기 배선용 금속막을 식각하여 상기 퓨즈 창 내에 퓨즈 금속막만을 남기는 단계; 및

상기 결과물 전면에 제 2 보호막을 형성하는 단계로 이루어진 것을 특징으로 하는 퓨즈를 갖는 반도체 소자 제조방법.

### 청구항 5

제 4항에 있어서, 상기 열차단막은 상기 퓨즈 창보다 큰 사이즈로 형성하는 것을 특징으로 하는 퓨즈를 갖는 반도체 소자 제조방법.

### 청구항 6

제 4항에 있어서, 상기 제 1 비어 홀 내에는 도전성 플러그를 형성하고, 상기 요홈부 내에는 열차단막을 형성하는 단계는,

상기 제 1 비어 홀 내부와 상기 요홈부 내부가 충분히 채워지도록 상기 제 2 층간 절연막 상에 금속막을 형성하는 단계와;

상기 제 2 층간 절연막의 표면이 노출될 때까지 상기 금속막을 평탄화하는 단계를 포함하는 것을 특징으로 하는 퓨즈를 갖는 반도체 소자 제조방법.

### 청구항 7

제 6항에 있어서, 상기 금속막은 W이나 Cu로 형성하는 것을 특징으로 하는 퓨즈를 갖는 반도체 소자 제조방법.

### 청구항 8

제 6항에 있어서, 상기 금속막은 CMP법이나 에치백법으로 평탄화하는 것을 특징으로 하는 퓨즈를 갖는 반도체 소자 제조방법.

### 청구항 9

제 4항에 있어서, 상기 퓨즈 금속막은 Ti, TiN의 단층 구조나 이들이 조합된 적층 구조, Ti/W의

적층 구조중 선택된 어느 하나로 형성하는 것을 특징으로 하는 퓨즈를 갖는 반도체 소자 제조방법.

#### 청구항 10

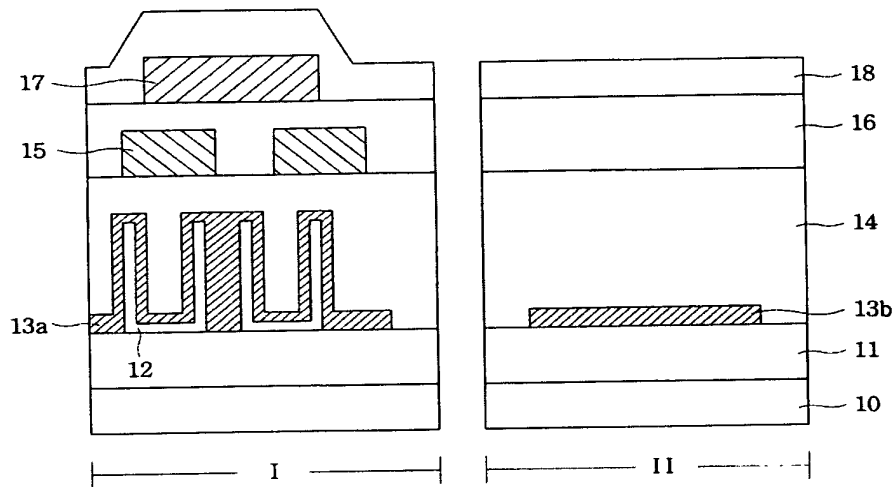
제 4항에 있어서, 상기 제 1 보호막은 HDP OXIDE, PE-OXIDE, PE-TEOS 중 선택된 어느 하나로 형성하는 것을 특징으로 하는 퓨즈를 갖는 반도체 소자 제조방법.

#### 청구항 11

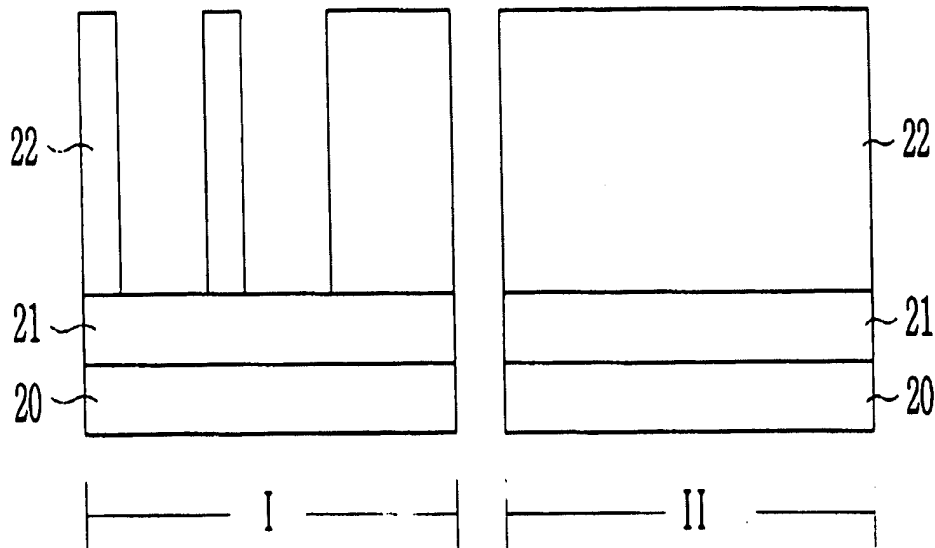
제 4항에 있어서, 상기 제 2 보호막은 SiN이나 Polyimide 중 선택된 어느 하나로 형성하는 것을 특징으로 하는 퓨즈를 갖는 반도체 소자 제조방법.

도면

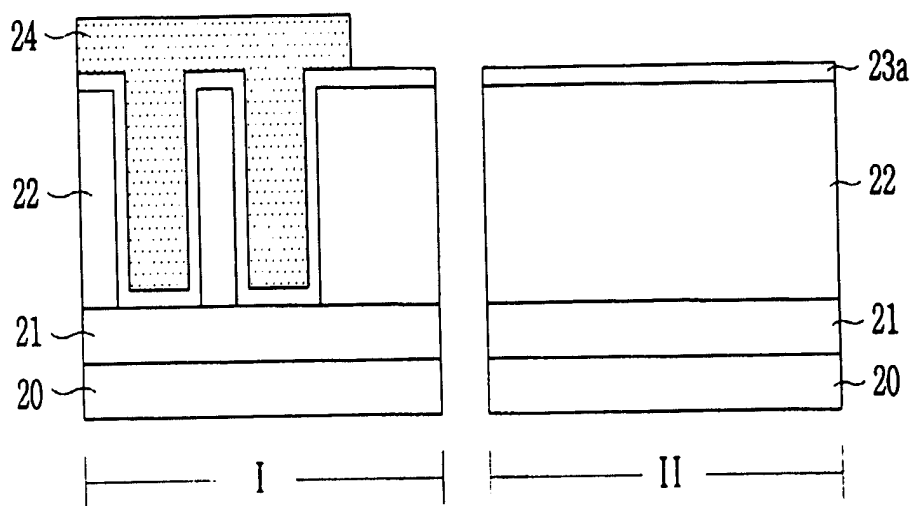
도면1



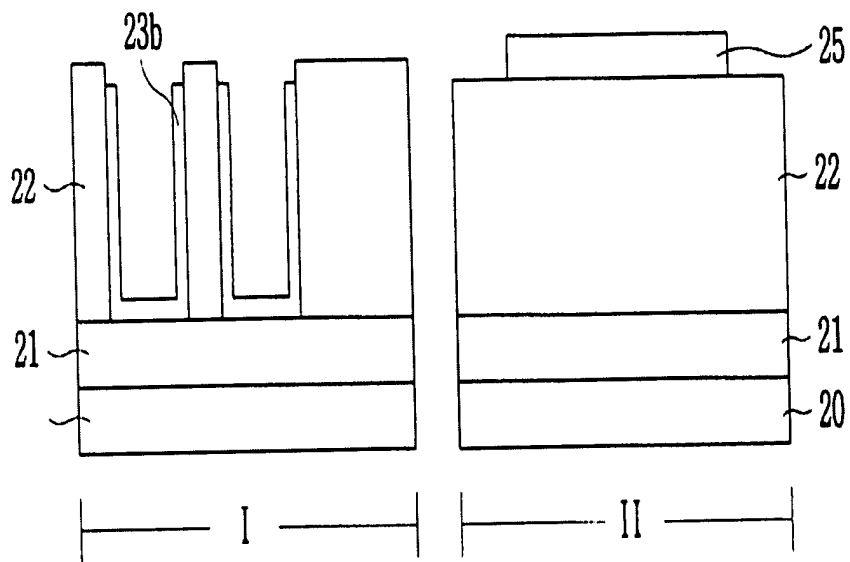
도면2



도면3

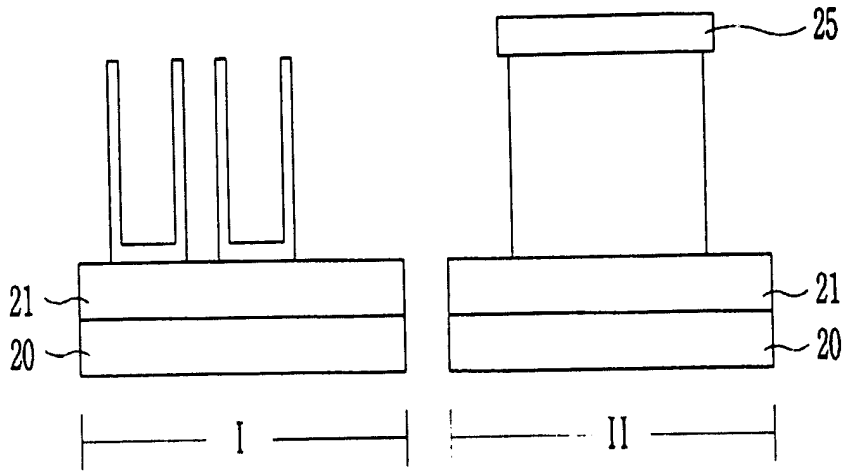


도면4

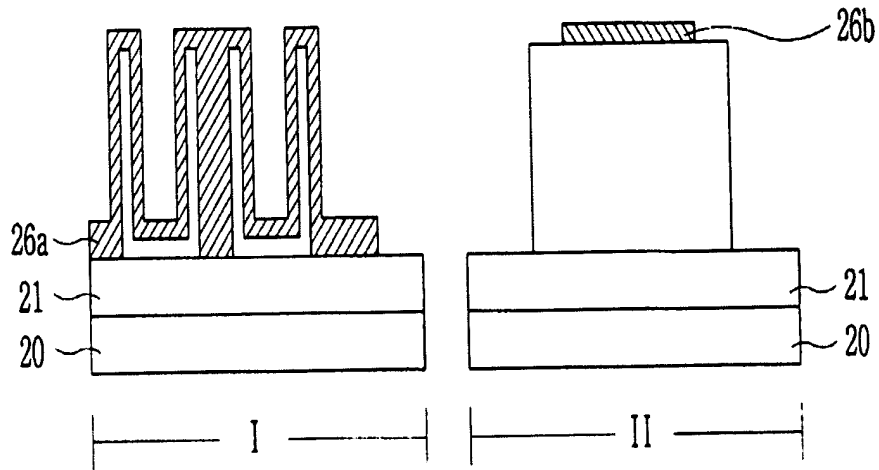




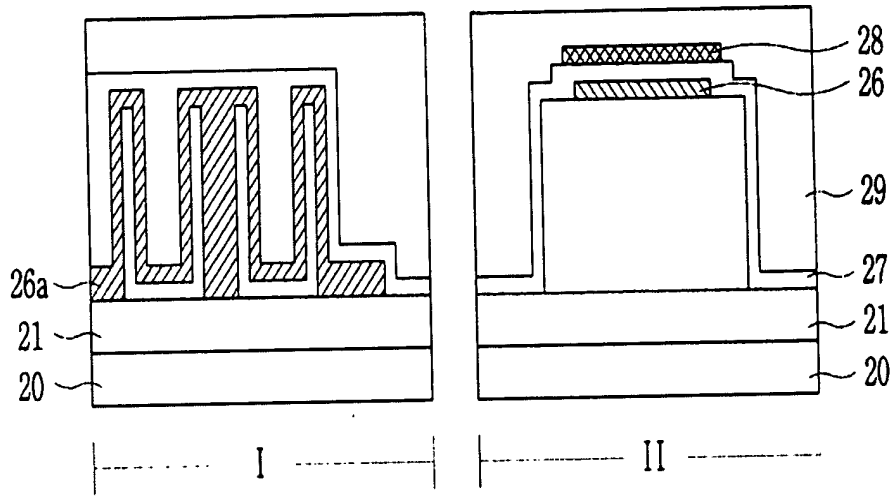
도면5a



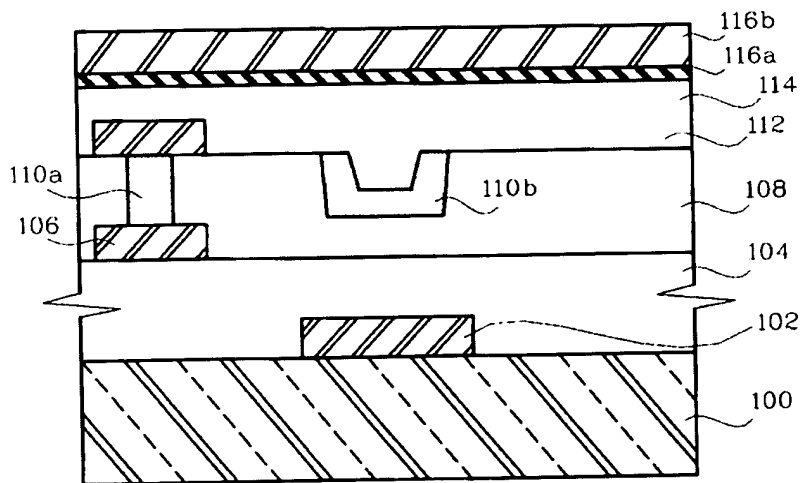
도면5b



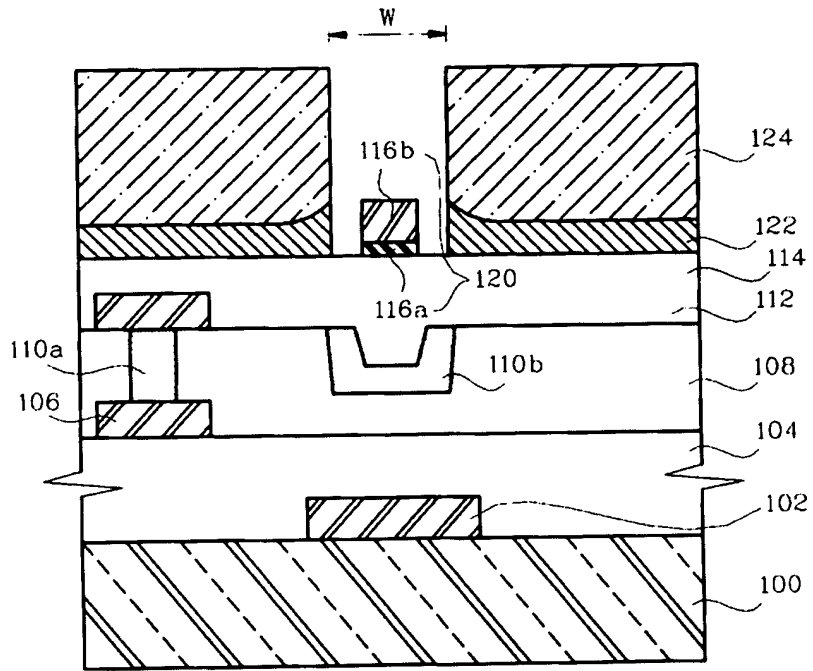
도면5c



도면5d



도면5e



도면5f

